

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hiroko KOIKE et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: August 22, 2003

Examiner: Unassigned

For: CAPACITOR, CIRCUIT BOARD, METHOD OF FORMATION OF CAPACITOR, AND
METHOD OF PRODUCTION OF CIRCUIT BOARD

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicants submit herewith a
certified copy of the following foreign application:

Japanese Patent Application No. 2002-247357

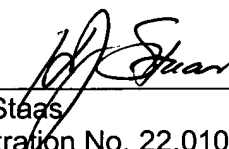
Filed: August 27, 2002

It is respectfully requested that the applicants be given the benefit of the foreign filing
date as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: August 22, 2003

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

7

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月27日

出 願 番 号
Application Number:

特願2002-247357

[ST.10/C]:

[JP2002-247357]

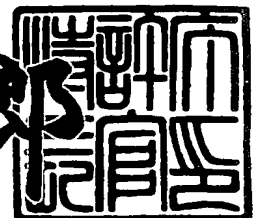
出 願 人
Applicant(s):

新光電気工業株式会社
株式会社サンシン

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048755

【書類名】 特許願

【整理番号】 1024141

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01G 4/33
H05K 1/16
H05K 3/30

【発明の名称】 キャパシタ、回路基板、キャパシタの形成方法および回路基板の製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 小池 博子

【発明者】

【住所又は居所】 長野県塩尻市大門泉町 1 3 番 5 号 株式会社サンシン内

【氏名】 望月 隆

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 東 光敏

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【特許出願人】

【識別番号】 500337336

【氏名又は名称】 株式会社サンシン

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャパシタ、回路基板、キャパシタの形成方法および回路基板の製造方法

【特許請求の範囲】

【請求項 1】 電気回路を内蔵する回路基板を製造する際に、該電気回路の一部となるキャパシタを形成する方法であって、

製造の過程にある回路基板のキャパシタ形成予定位置に、アルミニウム、タンタル、ニオブ、タングステン、バナジウム、ビスマス、チタン、ジルコニウムおよびハフニウムから成る群から選択された少なくとも 1 種のバルブ金属から成る下部電極層を形成する工程、

前記下部電極層上に、前記群から選択された少なくとも 1 種のバルブ金属の酸化物から成る誘電体層を形成する工程、および

前記誘電体層上に、有機半導体から成る固体電解質層とその上の金属から成る上部電極層とを一括して形成する工程、

を含み、前記誘電体層上への前記固体電解質層と上部電極層との一括形成工程が、下記の工程：

上部電極用金属箔の一方の面に前記有機半導体の粉末を圧着担持させる工程、および

前記圧着担持された有機半導体粉末を、前記金属箔を介して前記誘電体層に加熱圧着することにより、前記金属箔と前記誘電体層との間に挟まれこれら両者に密着接合した前記有機半導体から成る固体電解質層を形成する工程、を含むことを特徴とするキャパシタの形成方法。

【請求項 2】 請求項 1 記載の方法において、前記下部電極層上に、並列した複数個の前記誘電体層を形成し、個々の該誘電体層上にそれぞれ、有機半導体から成る固体電解質層とその上の金属から成る上部電極層とを一括して形成することを特徴とするキャパシタの形成方法。

【請求項 3】 電気回路を内蔵する回路基板を製造する際に、該電気回路の一部となるキャパシタを形成する方法であって、

製造の過程にある回路基板のキャパシタ形成予定位置に、アルミニウム、タン

タル、ニオブ、タングステン、バナジウム、ビスマス、チタン、ジルコニウムおよびハフニウムから成る群から選択された少なくとも1種のパルブ金属から成る下部電極層を形成する工程、

前記下部電極層上に、前記群から選択された少なくとも1種のパルブ金属の酸化物から成る第1誘電体層を形成する工程、および

前記第1誘電体層上に、有機半導体から成る固体電解質層と、その上の前記群から選択された少なくとも1種のパルブ金属の酸化物から成る第2誘電体層と、その上の前記群から選択された少なくとも1種のパルブ金属の第2層と、更にその上の金属から成る上部電極層とを一括して形成する工程、

を含み、前記第1誘電体層上への前記固体電解質層と第2誘電体層と前記パルブ金属第2層と上部電極層との一括形成工程が、下記の工程：

上部電極用金属箔の一方の面に前記パルブ金属第2層を形成する工程、

前記パルブ金属第2層上に第2誘電体層を形成する工程、

上記金属箔上の前記パルブ金属第2層上に形成された上記第2誘電体層の自由面に前記有機半導体の粉末を圧着担持させる工程、および

前記圧着担持された有機半導体粉末を、前記金属箔を介して前記誘電体層に加熱圧着することにより、前記金属箔上の前記パルブ金属第2層上に形成された前記第2誘電体層と前記第1誘電体層との間に挟まれこれら両者に密着接合した前記有機半導体から成る固体電解質相を形成する工程、

を含むことを特徴とするキャパシタの形成方法。

【請求項4】 請求項3記載の方法において、前記下部電極層上に、並列した複数個の前記第1誘電体層を形成し、個々の該第1誘電体層上にそれぞれ、有機半導体から成る固体電解質層と、その上の前記群から選択された少なくとも1種のパルブ金属の酸化物から成る第2誘電体層と、その上の前記群から選択された少なくとも1種のパルブ金属の第2層と、更にその上の金属から成る上部電極層とを一括して形成することを特徴とするキャパシタの形成方法。

【請求項5】 前記固体電解質層を構成する有機半導体がTCNQ錯体であることを特徴とする請求項1から4までのいずれか1項記載のキャパシタの形成方法。

【請求項 6】 請求項 1 から 5 までのいずれか 1 項記載の方法により形成したキャパシタ。

【請求項 7】 請求項 1 から 5 までのいずれか 1 項記載のキャパシタの形成方法を含む回路基板の製造方法。

【請求項 8】 請求項 7 記載の方法により製造した回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気回路を内蔵した回路基板の電気回路の一部を構成するキャパシタ、このキャパシタを内蔵した回路基板およびこれらの製造方法に関する。

本発明のキャパシタ内蔵回路基板は、半導体素子（半導体チップ）を搭載して半導体装置（半導体パッケージ）を構成する。

【0002】

【従来技術】

半導体装置は多くの用途において高密度化が進められており、それに応じて配線パターン同士を近接させて設ける際に、配線間のクロストークノイズや電源ライン等の電位変動を防止することが重要である。特に、高速のスイッチング動作が要求される高周波用の半導体素子を搭載する半導体パッケージの場合は、周波数の上昇に伴いクロストークノイズが発生し易くなり、またスイッチング素子が高速でオン／オフすることによってスイッチングノイズも発生し、これによって電源ライン等の電位が変動し易くなる。

【0003】

従来、このような問題を解消する手段として、信号ラインや電源ラインでの回路間の不要な結合を解除（デカップリング）するためのバイパスコンデンサとして、半導体パッケージに別個のチップキャパシタ等の容量素子を搭載していた。

【0004】

しかし、上記従来の方法には、下記の点で問題があった。

まず、別個のチップキャパシタ等の搭載に伴い配線パターンの設計自由度が低下する。

【0005】

更に、チップキャパシタと半導体素子の電極とを接続する配線距離が長いとインダクタンスが大きくなり、チップキャパシタによるデカップリング効果が十分に得られなくなる。したがって、チップキャパシタ等は半導体素子にできるだけ近接させて搭載することが必要である。しかし、チップキャパシタ等のサイズによって搭載位置も制限されるため、半導体素子との近接配置にも限界があった。

【0006】

また、チップキャパシタ等の容量素子を半導体パッケージに搭載すると、パッケージが大型化・重量化することが避けられず、現在の趨勢である小型化・軽量化に逆行してしまう。この点についても、チップキャパシタ等の小型化による対処では限界があった。

【0007】

本出願人は、上記従来の問題を解消すべく、特願2001-57281号において、回路基板にキャパシタを内蔵した構造を提案した。この構造においては、回路基板内の配線層間に配置されたキャパシタが、バルブ金属から成る下部電極層、バルブ金属の酸化物から成る誘電体層、固体電解質層、および上部電極層をこの順に積層して構成されている。

【0008】

上記先願の構造は、回路基板内にキャパシタを内蔵させたことにより、回路基板上に別個のチップキャパシタを搭載した従来における問題が解消し、配線パターン設計の自由度が確保でき、容量素子と半導体素子との近接度が格段に向上し、パッケージの小型化・軽量化が可能となる。

【0009】

しかし、上記先願の構造は、その製造プロセス、特に固体電解質層の形成方法に更に改良の余地が残されていた。

すなわち、上記先願の製造プロセスにおいては、固体電解質層の形成は下記のいずれかにより行なっていた。

- (1) 導電性ポリマーであるポリピロールをポリマー塗布熱分解法で形成
- (2) 導電性ポリマーの電解重合により形成

(3) 酸化スズなどの導電性金属酸化物を蒸着 (CVD) 等により形成

【0010】

これらの形成方法には下記の点で改良すべき余地があった。

まず、(1) (2) の形成方法では、モノマー溶液や酸化剤もしくは電解重合液といった液体を用いてポリマーを形成するので、基板上の所定位置に所定形状でポリマーを形成することが困難である。

【0011】

また、(3) の形成方法では、蒸着法等を用いることで、上記のように液体を用いたことによる問題は解消するが、金属酸化物の電気伝導度が低いため、低ESRのキャパシタを得ることが困難である。ESRすなわち等価直列抵抗 (Equivalent Series Resistance) はキャパシタ自体が持つ抵抗であり、ESRが高くなるとキャパシタの高周波特性が悪化する。

【0012】

上記先願の問題点を解消すべく、本出願人は、TCNQ等の有機半導体の粉末を用いて固体電解質層を形成する方法を検討した。この方法を図1を参照して説明する。ただし、この方法はこれまで未公表であり、本願において初めて開示した。

【0013】

まず、図1 (1) に示すように、配線パターンが形成された基板100のパッド102上に、AlまたはTaのスパッタあるいは蒸着等により下部電極104を形成する。パッド102は、基板100上の配線パターンの一部が幅広に形成された部分である。

【0014】

次に、図1 (2) に示すように、下部電極104の上面に誘電体層形成領域を画定するためのマスクとしてレジスト層106を形成する。

【0015】

次に、図1 (3) に示すように、下部電極104の上面を陽極酸化することにより、誘電体層 (Al_2O_3 または Ta_2O_5) 108を形成する。

【0016】

次に、図1(4)に示すように、誘電体層108上に、TCNQ錯体の粉末110'を供給する。

【0017】

次に、下記の方法1または方法2により誘電体層108上の固体電解質層110およびその上の上部電極114を形成する。

【0018】

〔方法1〕

図1(5A)および図1(6)の工程を順次行なう。まず、図1(5A)に示すように、誘電体層108上にTCNQ錯体から成る固体電解質層110を形成する。この場合、基板100をヒータ112で加熱することによりTCNQ錯体粉末110'を加熱溶融させた後、加熱停止して自然放冷することにより、一体の溶融凝固層としてTCNQ錯体層(固体電解質層)110を形成する。次に、図1(6)に示すように、Cu等の金属のスパッタにより上部電極116を形成する。これにより、下部電極104、誘電体層108、固体電解質層110および上部電極114がこの順で積層して成るキャパシタが完成する。

【0019】

〔方法2〕

図1(5B)に示すように、圧着子116にCu等の金属箔114を吸引等により保持してTCNQ錯体粉末110'上に載置し、圧着子116により加熱圧着することにより、図1(6)に示したのと同様に、TCNQ錯体層(固体電解質層)110とその上の上部電極層114とを同時に形成する。これにより、下部電極104、誘電体層108、固体電解質層110および上部電極114がこの順で積層して成るキャパシタが完成する。

【0020】

以上によりキャパシタが完成したら、図1(7)に示すように、レジスト層106を除去する。

【0021】

次に、図1(8)に示すように、絶縁性樹脂の塗布または樹脂フィルムの積層により、絶縁層118を形成してキャパシタを埋め込む。

【 0 0 2 2 】

最後に、絶縁層 1 1 8 内に所定回路に必要なビアおよび配線パターンを形成し、上部電極 1 1 4 と配線パターンとを電氣的に接続して回路基板が完成する。

【 0 0 2 3 】

なお、上記の例では、パッド 1 0 2 を、基板 1 0 0 上に形成された配線パターンの一部として示したが、パッド 1 0 2 は基板 1 0 0 上に形成された多層配線構造のうちの一層の配線パターンの一部として形成されていて下層の配線パターンと電氣的に接続していてもよい。

【 0 0 2 4 】

【発明が解決しようとする課題】

上記検討した方法によれば、先願で開示した方法に対して、液体を用いてポリマー形成する場合のような形成位置および形成形状の制御性の問題が生ずることがなく、また、導電性金属酸化物を用いた場合のように低電気伝導性に起因する高 E S R 化といった問題も生じない。

【 0 0 2 5 】

しかし、TCNQ 錯体の粉末 1 1 0' を誘電体層 1 0 8 上に供給する際に粉末供給量が誘電体層 1 0 8 の面内で不均等になり易いという問題がある。

【 0 0 2 6 】

加えて、固体電解質層 1 1 0 の形成にも下記の問題がある。

すなわち、上記の方法 1 では、基板 1 0 0 を加熱した際に、溶融した TCNQ 錯体がレジスト 1 0 6 で画定した領域外へ流出する恐れがある。一方、上記の方法 2 では、粉末 1 1 0' を加圧した際に、その下にある誘電体層 1 0 8 に対して機械的な損傷を生じてしまう。

【 0 0 2 7 】

本発明は、以上のような各プロセス上の問題点を解消することにより、先願で提案したキャパシタ内蔵回路基板による利点を最大限に発揮することを可能とし、それにより従来の問題点を解消して、配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージのための回路基板内蔵キャパシタの形成方法、そ

れにより内蔵キャパシタを形成する回路基板の製造方法およびこれらにより形成したキャパシタおよびこのキャパシタを内蔵した回路基板を提供することを目的とする。

【 0 0 2 8 】

【課題を解決するための手段】

上記の目的を達成するために、第 1 発明によるキャパシタの形成方法は、電気回路を内蔵する回路基板を製造する際に、該電気回路の一部となるキャパシタを形成する方法であって、

製造の過程にある回路基板のキャパシタ形成予定位置に、アルミニウム、タンタル、ニオブ、タングステン、バナジウム、ビスマス、チタン、ジルコニウムおよびハフニウムから成る群から選択された少なくとも 1 種のバルブ金属から成る下部電極層を形成する工程、

前記下部電極層上に、前記群から選択された少なくとも 1 種のバルブ金属の酸化物から成る誘電体層を形成する工程、および

前記誘電体層上に、有機半導体から成る固体電解質層とその上の金属から成る上部電極層とを一括して形成する工程、

を含み、前記誘電体層上への前記固体電解質層と上部電極層との一括形成工程が、下記の工程：

上部電極用金属箔の一方の面に前記有機半導体の粉末を圧着担持する工程、および

前記圧着担持された有機半導体粉末を、前記金属箔を介して前記誘電体層に加熱圧着することにより、前記金属箔と前記誘電体層との間に挟まれこれら両者に密着接合した前記有機半導体から成る固体電解質層を形成する工程、を含むことを特徴とする。

【 0 0 2 9 】

また、第 2 発明によるキャパシタの形成方法は、電気回路を内蔵する回路基板を製造する際に、該電気回路の一部となるキャパシタを形成する方法であって、

製造の過程にある回路基板のキャパシタ形成予定位置に、アルミニウム、タンタル、ニオブ、タングステン、バナジウム、ビスマス、チタン、ジルコニウムお

よびハフニウムから成る群から選択された少なくとも1種のバルブ金属から成る下部電極層を形成する工程、

前記下部電極層上に、前記群から選択された少なくとも1種のバルブ金属の酸化物から成る第1誘電体層を形成する工程、および

前記第1誘電体層上に、有機半導体から成る固体電解質層と、その上の前記群から選択された少なくとも1種のバルブ金属の酸化物から成る第2誘電体層と、その上の前記群から選択された少なくとも1種のバルブ金属の第2層と、更にその上の金属から成る上部電極層とを一括して形成する工程、

を含み、前記第1誘電体層上への前記固体電解質層と第2誘電体層と前記バルブ金属第2層と上部電極層との一括形成工程が、下記の工程：

上部電極用金属箔の一方の面に前記バルブ金属第2層を形成する工程、

前記バルブ金属第2層上に第2誘電体層を形成する工程、

上記金属箔上の前記バルブ金属第2層上に形成された上記第2誘電体層の自由面に前記有機半導体の粉末を圧着担持させる工程、および

前記圧着担持された有機半導体粉末を、前記金属箔を介して前記誘電体層に加熱圧着することにより、前記金属箔上の前記バルブ金属第2層上に形成された前記第2誘電体層と前記第1誘電体層との間に挟まれこれら両者に密着接合した前記有機半導体から成る固体電解質相を形成する工程、

を含むことを特徴とする。

【0030】

第1および第2発明の方法によれば、それぞれ有極性キャパシタおよび無極性キャパシタが形成される。

【0031】

第1および第2発明の方法によって多端子構造のキャパシタを形成することもできる。

すなわち、第1発明の方法においては、前記下部電極層上に、並列した複数個の前記誘電体層を形成し、個々の該誘電体層上にそれぞれ、有機半導体から成る固体電解質層とその上の金属から成る上部電極層とを一括して形成することにより多端子構造のキャパシタが得られる。

【 0 0 3 2 】

また、第 2 発明の方法においては、前記下部電極層上に、並列した複数個の前記第 1 誘電体層を形成し、個々の該第 1 誘電体層上にそれぞれ、有機半導体から成る固体電解質層と、その上の前記群から選択された少なくとも 1 種のバルブ金属の酸化物から成る第 2 誘電体層と、その上の前記群から選択された少なくとも 1 種のバルブ金属の第 2 層と、更にその上の金属から成る上部電極層とを一括して形成することにより多端子構造のキャパシタが得られる。

【 0 0 3 3 】

第 1 および第 2 発明の方法において、固体電解質層を構成する有機半導体として、代表的には TCNQ（テトラシアノキノンジメタン）錯体を用いる。

【 0 0 3 4 】

本発明は、第 1 発明または第 2 発明の方法により形成したキャパシタをも提供する。

【 0 0 3 5 】

本発明は、第 1 発明または第 2 発明のキャパシタの形成方法を利用した回路基板の製造方法およびそれにより製造された回路基板をも提供する。

【 0 0 3 6 】

【発明の実施の形態】

本発明において、下部電極層はアルミニウム（Al）、タンタル（Ta）、ニオブ（Nb）、タングステン（W）、バナジウム（V）、ビスマス（Bi）、チタン（Ti）、ジルコニウム（Zr）およびハフニウム（Hf）から成る群から選択された少なくとも 1 種のバルブ金属から成る。バルブ金属は陽極酸化により酸化皮膜が生成する金属であり、生成した酸化皮膜が一定方向の電流を流さないというバルブ作用を有する。

【 0 0 3 7 】

下部電極層としては、上記バルブ金属のうちの 1 種を単独で用いてもよいし、2 種以上を合金、混合物等の形で用いてもよく、更に窒化物等（例えば TiN、TaN）のような化合物として用いてもよい。また、バルブ金属の化合物同士の混合物、バルブ金属の化合物と合金との混合物、バルブ金属と他の金属との合金

等の形で用いてもよい。本発明の下部電極層としては特にTa、Al等が適している。

【0038】

下部電極層の形成は、半導体装置の製造などに通常用いられている薄膜形成技術を用いて行なうことができる。典型的な成膜法としては、真空蒸着法、スパッタ法、CVD法等が挙げられる。

【0039】

下部電極層上に、バルブ金属の酸化物から成る誘電体層を形成する。このバルブ金属は下部電極層を構成するバルブ金属と同種であってもよいし異種であってもよい。下部電極層と同種のバルブ金属を用いると、下部電極層を陽極酸化等で酸化することにより誘電体層を形成できるので、プロセス簡素化のため望ましい。下部電極層とは異種のバルブ金属を用いる場合は、前記のような適当な成膜法により、酸化物として下部電極層上に堆積させて形成する。本発明の誘電体層としては、特にTa、Al等の酸化物(Ta_2O_5 、 Al_2O_3 等)が適している。

【0040】

本発明の特徴は、誘電体層上に、固体電解質層と上部電極層とを一括形成する点にある。具体的には、上部電極用金属箔の一方の面を圧着子に吸引等により保持し、金属箔の他方の面に固体電解質用有機半導体の粉末を圧着担持させ、金属箔を介して圧着子により誘電体層に加熱圧着することにより、金属箔と誘電体層との密着接合した有機半導体から成る固体電解質層を形成する。

【0041】

これにより、誘電体層上の所定位置に所定形状の固体電解質層とその上の上部電極層とを一括形成することができる。

すなわち、固体電解質層を構成する有機半導体の粉末を、上部電極を構成する金属箔の表面に圧着担持して誘電体層上に加熱圧着するので、金属箔形状で画定される所定平面形状の固体電解質層を、誘電体層上の所定位置に形成することができる。

【0042】

したがって、先願の方法に対して、液体を用いてポリマー形成する場合のような形成位置および形成形状の制御性の問題が生ずることがなく、また、導電性金属酸化物を用いた場合のように低電気伝導性に伴う高ESR化といった問題も生じない。

【 0 0 4 3 】

有機半導体の粉末を用いて固体電解質層を形成する方法としては、誘電体層上に有機半導体粉末を載せて加熱融解することにより形成する方法も考えられる。しかし、この方法には下記の点で問題がある。

【 0 0 4 4 】

すなわち、有機半導体粉末の供給量のばらつきや加熱融解時の流出が起き易いため、所定位置に所定形状で固体電解質層を形成することが困難である。

【 0 0 4 5 】

本発明の方法によれば、金属箔の一方の面を圧着子に保持し、この金属箔の他方の面に圧着担持した有機半導体粉末を、誘電体層に圧着子により加熱圧着するので、圧着箇所のみを極めて短時間加熱することにより固体電解質層を形成でき、回路基板の他の構成部分には加熱による影響が及ばない。

【 0 0 4 6 】

本発明では固体電解質層を構成する材料として有機半導体を用いる。この有機半導体としては、TCNQ錯体が最も適している。TCNQ錯体は230～240℃程度に加熱することにより溶融し、その後凝固させることにより一体の溶融凝固層としてTCNQ錯体から成る固体電解質層が形成される。更に、この加熱を圧力下で行なう加熱圧着により、下地である誘電体層と密着接合できる。一般的な観点からは、固体電解質層の構成材料としてポリピロール等の導電性高分子材料も考えられるが、これは加熱により溶融せず、分解してしまうので本発明の方法には適さない。

【 0 0 4 7 】

本発明においては、有機半導体を粉末の状態で用いる。ここで「粉末」とは、上部電極用の金属箔に圧着担持できる形態であればよく、一般に粉末と呼ばれる形態のみでなく、粒状その他の呼称で呼ばれる形態であってもよい。

以下に、添付図面を参照して本発明の具体的な各実施形態を説明する。

【0048】

〔実施形態1〕

図2に、第1発明の一実施形態により有極性のキャパシタを形成する工程を示す。

まず、図2(1)に示すように、配線パターンが形成された基板100のパッド102上に、バルブ金属であるAl、Ta等のスパッタあるいは蒸着等により下部電極104を形成する。パッド102は、基板100上の配線パターンの一部が幅広に形成された部分である。

【0049】

次に、図2(2)に示すように、下部電極104の上面に誘電体層形成領域を画定するためのマスクとしてレジスト層106を形成する。

【0050】

次に、図2(3)に示すように、下部電極104の上面を陽極酸化することにより、誘電体層(Al_2O_3 または Ta_2O_5)108を形成する。

【0051】

以上の工程は、図1に示した従来工程と同じである。本発明は以下に説明する固体電解質層およびその上の上部電極層を一括形成する工程に特徴がある。

【0052】

ここで、図3を参照して上記一括形成のための準備工程を説明する。

図3(A)に示すように、圧着子116にCu等の金属箔114を吸引等により保持して容器120内に矢印のように下降させ、容器120内に収容されているTCNQ錯体粉末110'に押し付けることにより、金属箔114にTCNQ錯体粉末110'を圧着担持させる。この圧着は常温で行なう。

【0053】

図3(B)に示すように、圧着子116を上昇させると、金属箔114の上面が圧着子116に保持され、金属箔114の下面にTCNQ錯体粉末110'が圧着担持されて引き上げられる。

【0054】

再び、図 2 を参照して一括形成工程を説明する。

図 2 (4) に示すように、上記準備したように下面に TCNQ 錯体粉末 1 1 0 が圧着担持された金属箔 1 1 4 を圧着子 1 1 6 に保持して、下部電極 1 0 4 上に形成されている誘電体層 1 0 8 の上面に当接させ、圧着子 1 1 6 で加熱圧着する。

【 0 0 5 5 】

これにより、図 2 (5) に示すように、下部電極 1 0 4 、誘電体層 1 0 8 、固体電解質層 1 1 0 および上部電極 1 1 4 がこの順で積層して成るキャパシタ C が完成する。

【 0 0 5 6 】

次に、図 2 (6) に示すように、レジスト層 1 0 6 を除去する。

【 0 0 5 7 】

次に、図 2 (7) に示すように、絶縁樹脂の塗布または樹脂フィルムの積層により、絶縁層 1 1 8 を形成してキャパシタ C を埋め込む。

【 0 0 5 8 】

最後に、図 2 (8) に示すように、絶縁層 1 1 8 に所定回路に必要なビア 1 2 2 および配線パターン 1 2 4 (更に必要に応じて絶縁層 1 2 6) を形成し、これによりキャパシタ C の上部電極 1 1 4 と配線パターン 1 2 4 とを電氣的に接続して本発明の回路基板 B が完成する。

【 0 0 5 9 】

なお、上記の例では、パッド 1 0 2 を、基板 1 0 0 上に形成された配線パターンの一部として示したが、これに限定する必要はない。

【 0 0 6 0 】

例えば図 2 (9) に示すように、パッド 1 0 2 は多層配線構造のうちの一層の配線パターンの一部として形成されていて、ビア 1 2 8 を介して下層の配線パターン 1 3 0 と電氣的に接続していてもよい。同図中、1 3 2 および 1 3 4 は配線層間の絶縁層である。更に、多層配線構造は、何らかの基板上に形成されていてもよいし、基板を用いずに形成されていてもよい。

【 0 0 6 1 】

本実施形態において形成したキャパシタCは有極性である。すなわち、バルブ金属であるA1、Ta等から成る下部電極104を陽極酸化することにより形成した Al_2O_3 、 Ta_2O_5 等の酸化皮膜で誘電体層108を構成したので、これら酸化皮膜のバルブ作用に基づく極性を有する。

【0062】

〔実施形態2〕

図4（A）に、第1発明の方法により形成した多端子構造のキャパシタCmを示す。

この多端子構造キャパシタCmは、単一の下部電極104上に、複数個（図の例では3個）の誘電体層108が並列して配置され、個々の誘電体層108上にそれぞれ固体電解質層110とその上の上部電極114とが形成されている。キャパシタをこのように多端子構造とすることにより、インダクタンスを低減する作用が得られる。

【0063】

図4（A）の多端子キャパシタCmは、実施形態1と同様に図2（1）～図2（5）の工程により下部電極104上に形成した誘電体層108、固体電解質層110および上部電極114をエッチングにより分割（図の例では3分割）することにより得られる。

【0064】

図4（A）には、パッド102は基板100上に形成した配線パターンの一部として示しているが、これに限定する必要はない。

例えば図4（B）に示すように、パッド102は基板100上に形成された多層配線構造のうちの一層の配線パターンの一部として形成されていて、ビア128を介して下層の配線パターン130と電氣的に接続していてもよい。同図中、132および134は配線層間の絶縁層である。

【0065】

〔実施形態3〕

図5に、第2発明の一実施形態により無極性のキャパシタを形成する工程を示す。実施形態1において説明した有極性キャパシタは、陽極と陰極の向きが限定

される。また交流回路に用いるには逆電圧に対して強い無極性キャパシタが望ましい。

【0066】

まず、図5（1）に示すように、配線パターンが形成された基板100のパッド102上に、バルブ金属であるAl、Ta等のスパッタあるいは蒸着等により下部電極104を形成する。パッド102は、基板100上の配線パターンの一部が幅広に形成された部分である。

【0067】

次に、図5（2）に示すように、下部電極104の上面に誘電体層形成領域を画定するためのマスクとしてレジスト層106を形成する。

【0068】

次に、図5（3）に示すように、下部電極104の上面を陽極酸化することにより、誘電体層（ Al_2O_3 または Ta_2O_5 ）108を形成する。

以上の工程は、図2に示した第1発明の実施形態1と同じである。第2発明による本実施形態は以下に説明する一括形成用準備工程に特徴がある。

【0069】

まず、図6（A）に示すように、Cu等の金属箔114の一方の面にバルブ金属であるAl、Ta等のスパッタあるいは蒸着等によりバルブ金属層140を形成した後、バルブ金属層140の表面を陽極酸化することにより、誘電体層（ Al_2O_3 または Ta_2O_5 ）142を形成する。

【0070】

次に、図6（B）に示すように、金属箔114の、誘電体層142を形成した面とは反対側の面を圧着子116に吸引等により保持して容器120内に矢印のように下降させ、容器120内に収容されているTCNQ錯体粉末110'に押し付けることにより、金属箔114の誘電体層142にTCNQ錯体粉末110'を圧着担持させる。この圧着は常温で行なう。

【0071】

図6（C）に示すように、圧着子116を上昇させると、金属箔114の誘電体層142にTCNQ錯体粉末110'が圧着担持されて引き上げられる。

【0072】

再び、図5を参照して一括形成工程を説明する。

図5(4)に示すように、上記準備したように下面の誘電体層142にTCNQ錯体粉末110'が圧着担持された金属箔114を圧着子116に保持して、下部電極104上に形成されている誘電体層108の上面に当接させ、圧着子116で加熱圧着する。

【0073】

これにより、図5(5)に示すように、下部電極104、誘電体層108、固体電解質層110、誘電体層142、バルブ金属層140および上部電極114がこの順で積層して成るキャパシタC_nが完成する。

【0074】

次に、図5(6)に示すように、レジスト層106を除去する。

【0075】

次に、図5(7)に示すように、絶縁樹脂の塗布または樹脂フィルムの積層により、絶縁層118を形成してキャパシタC_nを埋め込む。

【0076】

最後に、図5(8)に示すように、絶縁層118に所定回路に必要なビア122および配線パターン124(更に必要に応じて絶縁層126)を形成し、これによりキャパシタC_nの上部電極114と配線パターン124とを電氣的に接続して本発明の回路基板B_nが完成する。

【0077】

なお、上記の例では、パッド102を、基板100上に形成された配線パターンの一部として示したが、これに限定する必要はない。

【0078】

例えば図5(9)に示すように、パッド102は多層配線構造のうちの一層の配線パターンの一部として形成されていて、ビア128を介して下層の配線パターン130と電氣的に接続していてもよい。同図中、132および134は配線層間の絶縁層である。更に、多層配線構造は、何らかの基板上に形成されていてもよいし、基板を用いずに形成されていてもよい。

【 0 0 7 9 】

本実施形態において形成したキャパシタC_nは無極性である。すなわち、キャパシタC_n内において、バルブ金属から成る下部電極104上に形成した誘電体層108と、上部電極（金属箔）114上のバルブ金属層140上に形成した誘電体層142とが、両者に挟まれた固体電解質層110を挟んで対向配置されており、下部電極104側のバルブ作用単位〔バルブ金属104／誘電体層108〕による極性と、上部電極114側のバルブ作用単位〔バルブ金属140／誘電体層142〕による極性とが相互に打ち消しあって、キャパシタC_nの外部に対しては極性が現われず、無極性となる。

本実施形態による無極性キャパシタも、実施形態2の有極性キャパシタと同様に分割して多端子構造のキャパシタとすることができる。

【 0 0 8 0 】

なお、実施形態1～3において、キャパシタ（実施形態2の場合は分割前のキャパシタ）に合わせた形状・寸法の金属箔114上に一括形成に必要な諸層を形成したが、金属箔114上に一括形成に必要な諸層を形成した後に、キャパシタの形状・寸法に合わせて切断して用いてもよい。この切断には、半導体ウェハのダイサーを好適に用いることができる。

【 0 0 8 1 】

例えば図7（A）に示すように、ダイシングフレーム150に張り渡したダイシングテープ152に、一括形成に必要な諸層を形成した層形成済金属箔114 α を貼り付け、ダイシングブレード154で必要な寸法に切断する。その際、半導体ウェハ用ダイサーの持つ機能として、ダイシングテープ152は切断せずに、層形成済金属箔114 α のみを切断する。次に、図7（B）に示すように、層形成済金属箔114 α の個々の切断片114_pを圧着端子116に保持して各実施形態において一括形成に用いる。

【 0 0 8 2 】

【 発明の効果 】

本発明によれば、先願で開示した方法に対して、液体を用いてポリマー形成する場合のような形成位置および形成形状の制御性の問題が生ずることがなく、ま

た、導電性金属酸化物を用いた場合のように低電気伝導性に起因する高ESR化といった問題も生じない。

【0083】

更に、本出願人が本発明以前に検討した未公表の方法に対して、固体電解質用粉末の供給量が不均等になることがなく、粉末を圧着することによる誘電体層の機械的な損傷を生じることがない。

【0084】

本発明は、以上のような各プロセス上の問題点を解消したことにより、先願で提案したキャパシタ内蔵回路基板による利点を最大限に発揮することを可能とし、それにより従来の問題点を解消して、配線パターン設計の自由度を確保し、容量素子と半導体素子との近接度を格段に向上させ、パッケージの小型化・軽量化を可能とした半導体パッケージのための回路基板内蔵キャパシタの形成方法、それにより内蔵キャパシタを形成する回路基板の製造方法およびこれらにより形成したキャパシタおよびこのキャパシタを内蔵した回路基板が提供される。

【図面の簡単な説明】

【図1】

図1は、本出願人が本発明以前に検討した未公表の方法によりキャパシタ内蔵回路基板を製造する各工程を示す断面図である。

【図2】

図2は、本発明の実施形態1の方法により有極性キャパシタおよびそれを内蔵した回路基板を製造する各工程を示す断面図である。

【図3】

図3は、図2の方法において、下部電極上の誘電体層上に、本発明により固体電解質層および上部電極を一括形成するための準備工程を示す断面図である。

【図4】

図4は、本発明の実施形態2において、多極構造のキャパシタおよびこの多極構造キャパシタを内蔵した回路基板を形成する方法を示す断面図である。

【図5】

図5は、本発明の実施形態3の方法により無極性キャパシタおよびそれを内蔵

した回路基板を製造する各工程を示す断面図である。

【図 6】

図 6 は、図 5 の方法において、下部電極の誘電体層上に、本発明により固体電解質層、誘電体層、バルブ金属層および上部電極を一括形成するための準備工程を示す断面図である。

【図 7】

図 7 は、キャパシタ寸法より大きい上部電極用金属箔上に本発明により下部電極上の誘電体層上に一括形成する諸層を形成した後、この層形成済金属箔をキャパシタ寸法に切断し、一括形成に用いる工程を示す断面図である。

【符号の説明】

- 1 0 0 … 基板
- 1 0 2 … パッド 1 0 2
- 1 0 4 … 下部電極
- 1 0 6 … レジスト層
- 1 0 8 … 誘電体層
- 1 1 0' … 固体電解質 (TCNQ 錯体) 粉末 1 1 0'
- 1 1 0 … 固体電解質層
- 1 1 2 … ヒータ
- 1 1 4 … 上部電極
- 1 1 6 … 圧着子
- 1 1 8 … 絶縁層
- 1 2 0 … 容器
- 1 2 2 … ビア
- 1 2 4 … 配線パターン
- 1 2 6 … 絶縁層
- 1 2 8 … ビア
- 1 3 0 … 配線パターン
- 1 3 2 … 絶縁層
- 1 3 4 … 絶縁層

1 4 0 …バルブ金属層

1 4 2 …誘電体層

1 5 0 …ダイシングフレーム

1 5 2 …ダイシングテープ

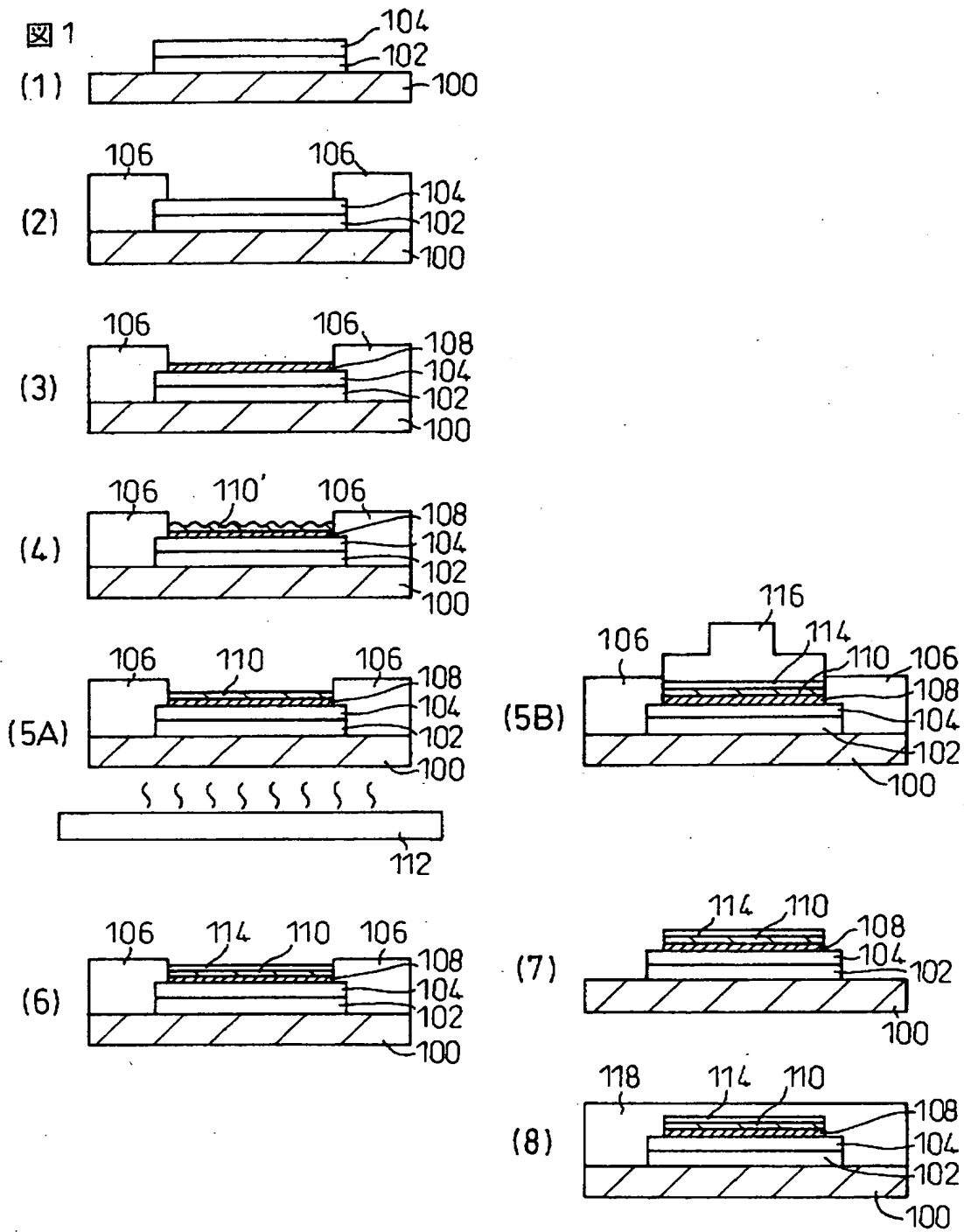
1 5 4 …ダイシングブレード

B、B n …回路基板

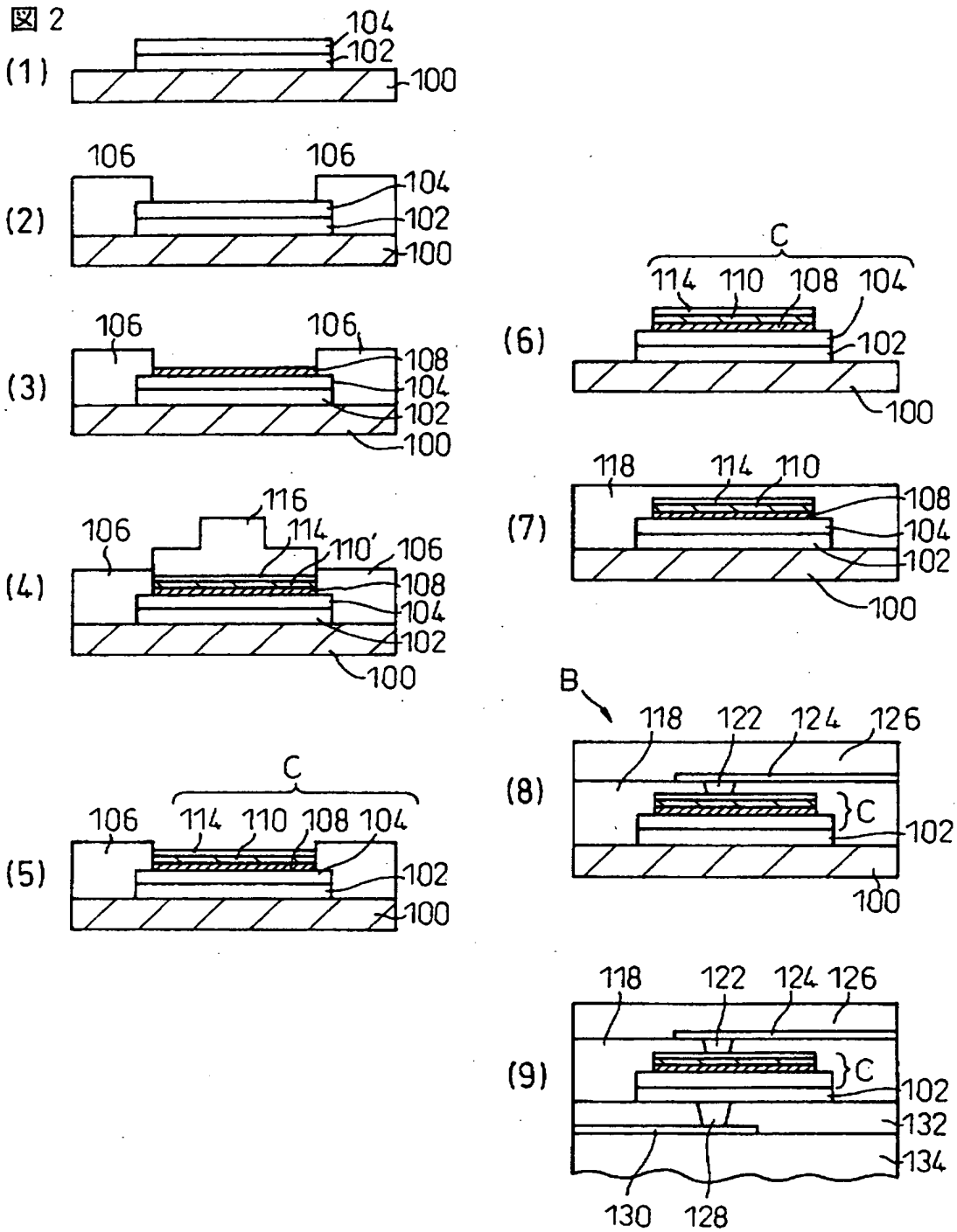
C、C m、C n …キャパシタ

【書類名】 図面

【図 1】

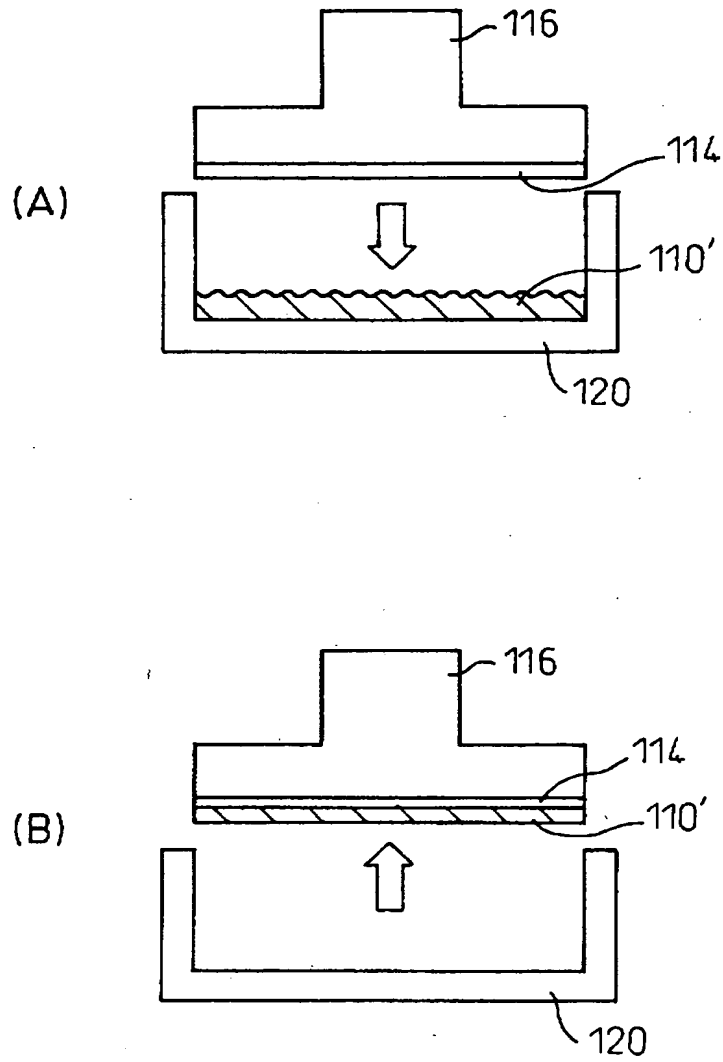


【図 2】



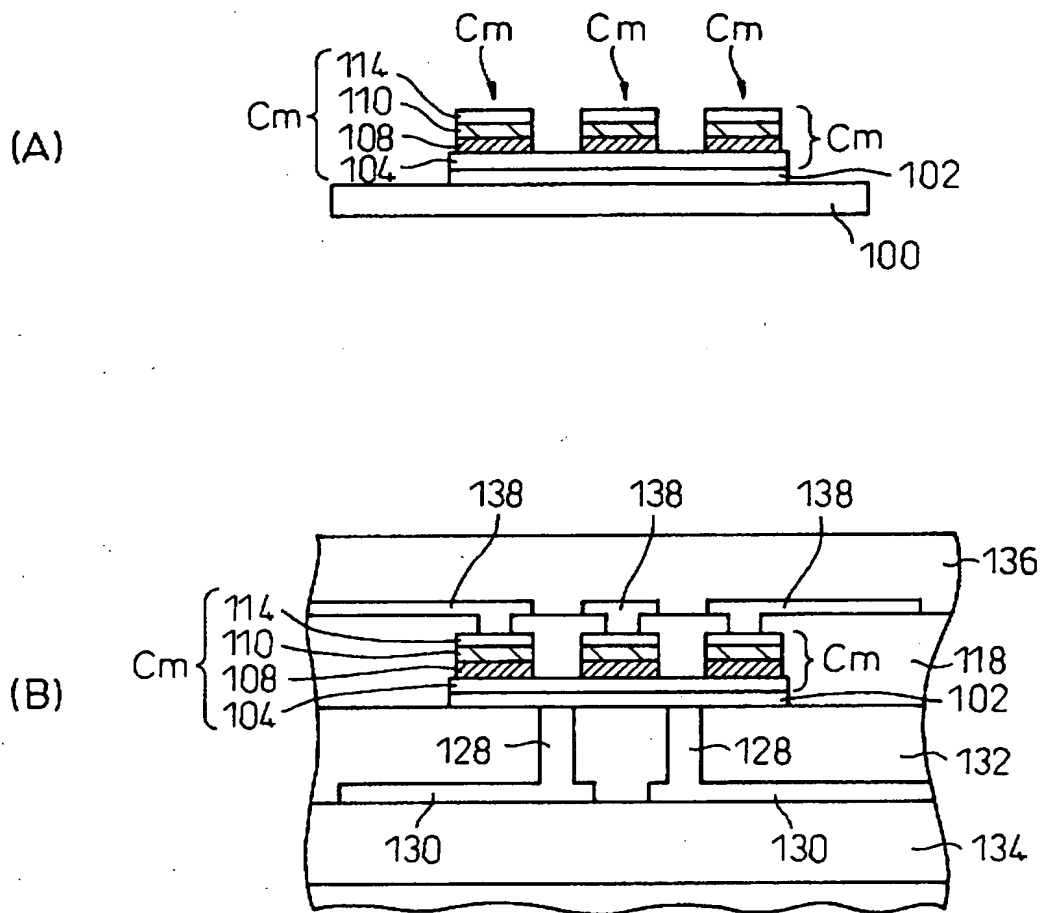
【図 3】

図 3

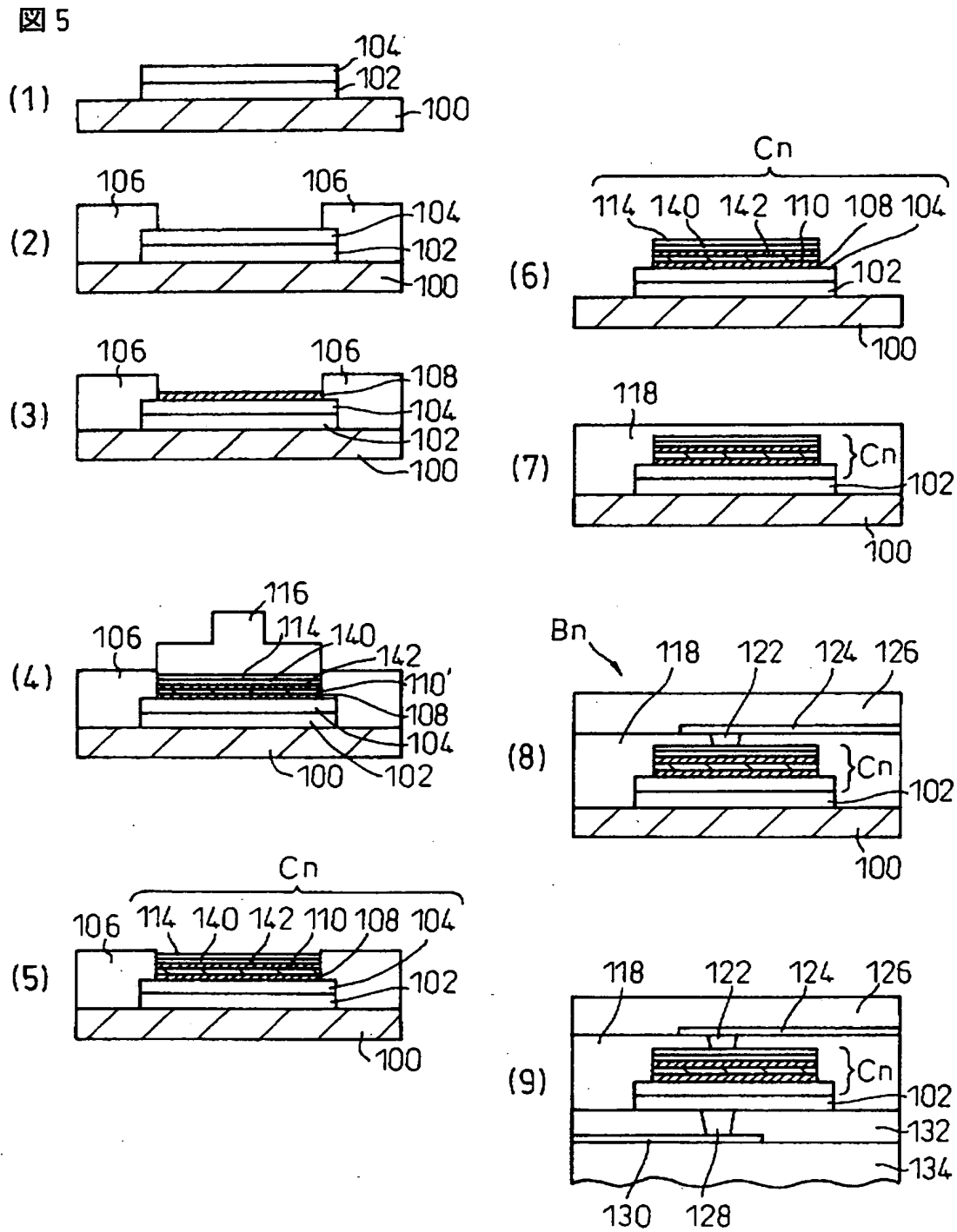


【図4】

図 4

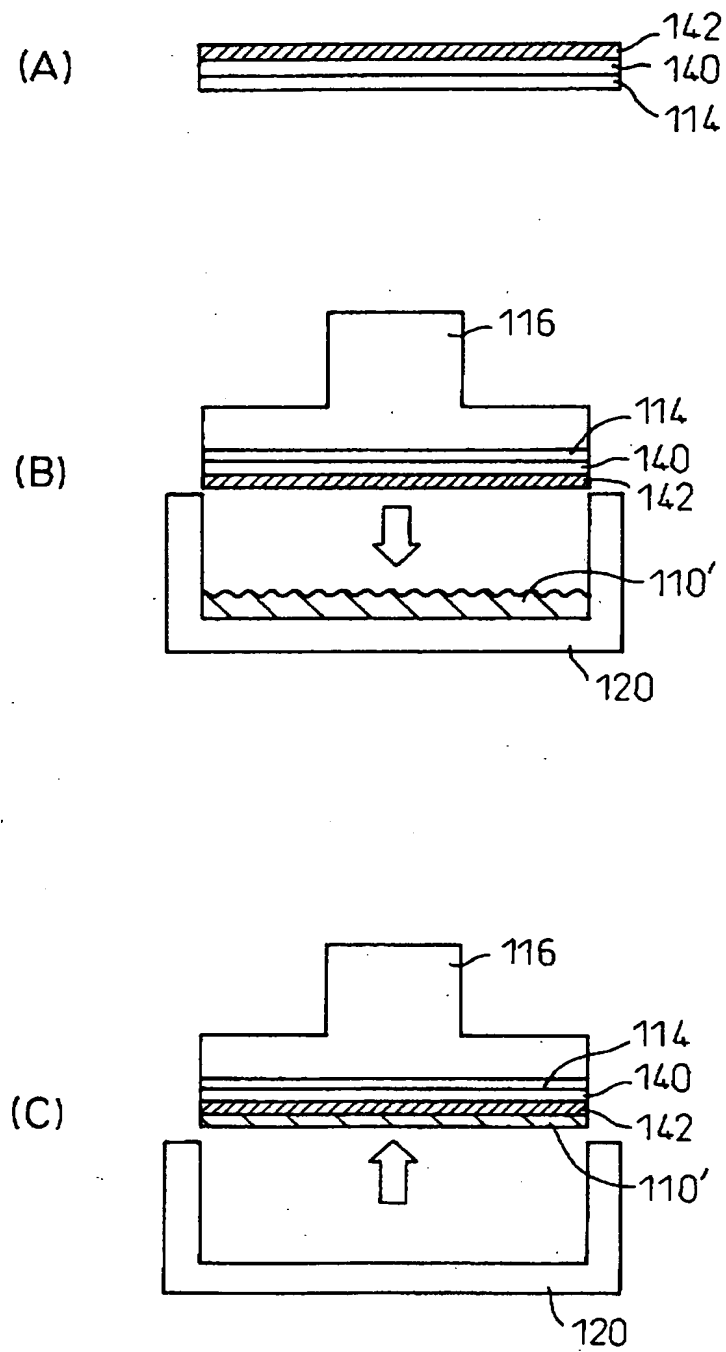


【図 5】



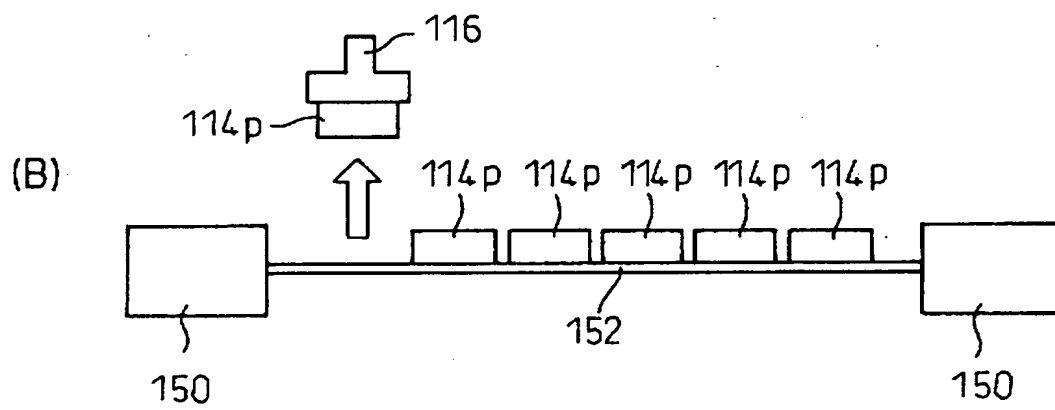
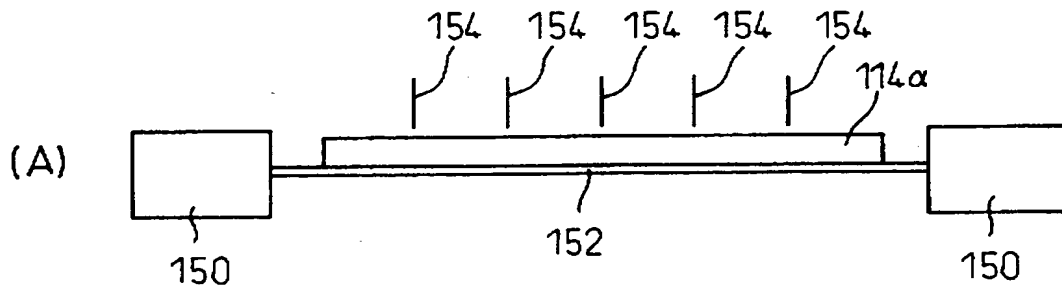
【図 6】

図 6



【図 7】

図 7



【書類名】 要約書

【要約】

【課題】 回路基板に内蔵されるキャパシタ、キャパシタ内蔵回路基板およびこれらの製造方法を提供する。

【解決手段】 回路基板を製造する際に電気回路の一部となるキャパシタを形成する方法であって、バルブ金属下部電極層およびその上のバルブ金属酸化物誘電体層を形成した後、有機半導体から成る固体電解質層とその上の金属から成る上部電極層とを一括して形成する。この一括形成工程は、圧着子に上部電極用金属箔の一方の面を保持し、金属箔の他方の面に有機半導体の粉末を圧着担持させる工程、および圧着担持された有機半導体粉末を、金属箔を介して圧着子により誘電体層に加熱圧着することにより、金属箔と誘電体層との間に挟まれこれら両者に密着接合した有機半導体から成る固体電解質層を形成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 長野県長野市大字栗田字舎利田711番地

氏 名 新光電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [500337336]

1. 変更年月日	2000年 7月19日
[変更理由]	新規登録
住 所	長野県塩尻市大門泉町13-5
氏 名	株式会社サンシン